

การทดลองที่ 9

วงจรหน่วยความจำ SRAM

วัตถุประสงค์

1. เพื่อให้นักศึกษาเข้าใจกลไกการทำงานของ SRAM
2. เพื่อให้ นักศึกษาสามารถออกแบบ SRAM ได้

ทฤษฎี

RAM (Random Access Memory) เป็นอุปกรณ์หน่วยความจำแบบชั่วคราว (Volatile memory) ประเภทหนึ่งซึ่งมีความเร็วในการเข้าถึงหน่วยความจำทุกตำแหน่งเท่ากันหมด สำหรับหน่วยความจำประเภทนี้จะสามารถจดจำข้อมูลได้เฉพาะตอนที่มีการจ่ายไฟฟ้าให้กับตัวมันเท่านั้น หากกระแสไฟฟ้าถูกตัดแล้วข้อมูลที่อยู่ภายในหน่วยความจำจะสูญหายไปทั้งหมด

RAM สามารถแบ่งได้เป็น 2 ชนิดได้แก่ Dynamic RAM (DRAM, อ่านว่า ดี-แรม) และ Static RAM (SRAM, อ่านว่า เอส-แรม) ข้อแตกต่างระหว่าง RAM ทั้ง 2 ชนิดอยู่ที่เทคโนโลยีการสร้าง memory cell ภายในหน่วยความจำ กล่าวคือ DRAM สร้าง memory cell จากตัวเก็บประจุ โดยใช้ปริมาณของประจุไฟฟ้าที่มีในตัวเก็บประจุสำหรับจดจำค่า 0 หรือ 1 แต่เนื่องจากธรรมชาติของตัวเก็บประจุ จะคายประจุออกมาตลอดเวลา ทำให้จะต้องมีการ refresh หน่วยความจำอยู่เป็นประจำ ดังนั้นเมื่อจะใช้งาน DRAM จึงจำเป็นต้องมีวงจรสำหรับ refresh ต่อเพิ่มเข้าไปด้วย ถึงแม้ว่าความเร็วของ DRAM นั้นจะต่ำกว่า SRAM ก็ตาม แต่ DRAM ก็มีข้อดีคือ การสร้างหน่วยความจำที่มีขนาดใหญ่ทำได้ง่ายในขณะที่ต้นทุนต่อคอมพิวเตอร์ส่วนบุคคลยุคต้นจึงนิยมใช้ DRAM เป็นหน่วยความจำหลักของเครื่อง

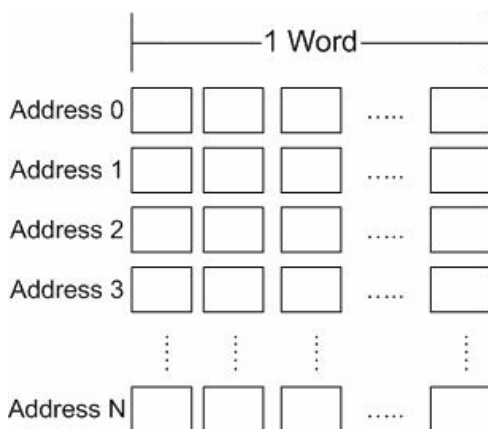
ส่วน SRAM สร้าง memory cell จากฟลิปฟล็อปซึ่งมีรากฐานมาจากทรานซิสเตอร์ ถึงแม้ต้นทุนในการสร้างนั้นอาจจะสูงและการสร้างหน่วยความจำขนาดใหญ่เป็นไปได้ยาก แต่ข้อได้เปรียบของ SRAM ที่เหนือกว่า DRAM คือ ความเร็วในการเข้าถึงที่สูงกว่าและการใช้งานไม่ซับซ้อน ไม่จำเป็นต้องมีวงจรสำหรับ refresh หน่วยความจำ

สำหรับเนื้อหาในการทดลองนี้จะกล่าวถึงรายละเอียดของ SRAM เท่านั้น

โครงสร้างการเก็บข้อมูลภายใน RAM

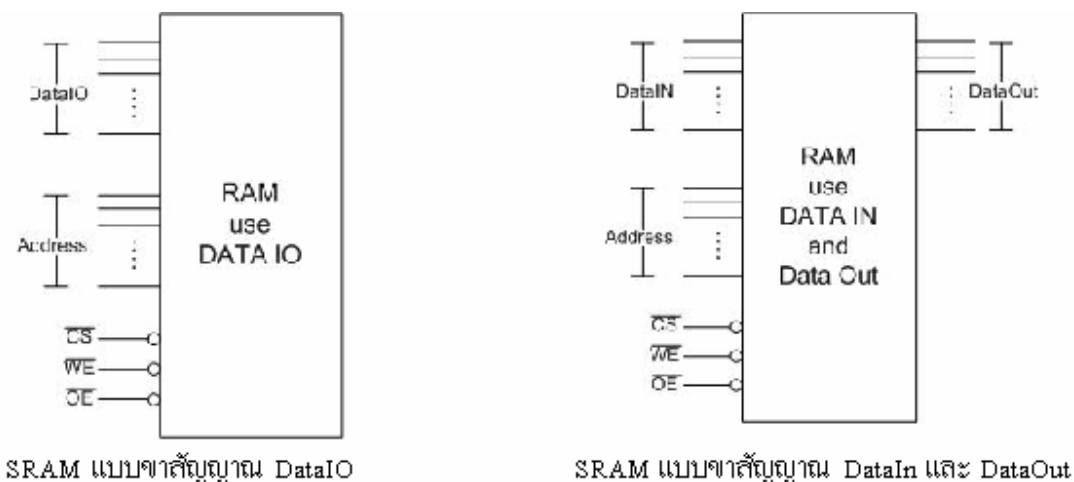
โครงสร้างการเก็บข้อมูลภายใน RAM จะแบ่งถูกแบ่งเป็นช่องๆ ที่เรียกว่า address ในแต่ละ address จะสามารถเก็บข้อมูลได้ 1 word โดยที่ความกว้างของข้อมูลที่สามารถเก็บได้ในแต่ละ address นั้นจะมีขนาดเท่ากัน สำหรับคำว่า word ในที่นี้ไม่ได้หมายถึงข้อมูลที่มีความกว้าง 16 บิต ตามที่เข้าใจทั่วไป หากแต่

หมายถึงความกว้างของข้อมูลที่สามารถเก็บได้ใน 1 address เท่านั้น โครงสร้างการเก็บข้อมูลภายใน RAM สามารถแสดงเป็นแผนภาพได้ดังรูปที่ 9.1



รูปที่ 9.1 โครงสร้างการเก็บข้อมูลภายใน RAM

สัญลักษณ์และขาสัญญาณของ SRAM



รูปที่ 9.2 สัญลักษณ์และขาสัญญาณของ SRAM

SRAM มี 2 แบบ ได้แก่ แบบที่ใช้ขาสัญญาณ DataIO และ ใช้ขาสัญญาณ DataIn และ DataOut ดังที่แสดงในรูปที่ 9.2 อย่างไรก็ตามถึงแม้ว่าลักษณะของ SRAM ทั้ง 2 แบบจะไม่เหมือนกัน แต่ขาสัญญาณของ SRAM แต่ละประเภทนั้นเหมือนกัน โดยขาสัญญาณของ SRAM สามารถแบ่งได้เป็น 3 กลุ่มได้แก่ กลุ่มสัญญาณข้อมูล (Data), กลุ่มสัญญาณ address (Addr) และ กลุ่มสัญญาณควบคุม (Control) ซึ่งกลุ่มสัญญาณแต่ละกลุ่มมีหน้าที่ดังต่อไปนี้

กลุ่มสัญญาณข้อมูล (Data)

ขาสัญญาณในกลุ่มนี้ใช้สำหรับรับ/ส่งข้อมูลระหว่าง SRAM กับอุปกรณ์ภายนอก สำหรับ SRAM แบบที่ใช้ขาสัญญาณ DataIO ขาสัญญาณประเภทนี้เป็นแบบจะแบบสองทิศทาง (Bidirection) กล่าวคือ ขาสัญญาณแต่ละขาสามารถเป็นได้ทั้งอินพุตและเอาต์พุตขึ้นอยู่กับการทำงานในขณะนั้น ในสภาวะปกติ ขาสัญญาณเหล่านี้จะมีค่าเป็น High-Z เมื่อวงจรภายนอกอ่านค่าจาก SRAM ขาสัญญาณนี้จะทำหน้าที่เป็นเอาต์พุตของ SRAM แต่ถ้าวงจรภายนอกต้องการเขียนข้อมูลลงไปยัง SRAM ขาข้อมูลเหล่านี้จะทำหน้าที่เป็นอินพุตทันที

จำนวนของขาสัญญาณในกลุ่มนี้จะมีค่าเท่ากับจำนวนบิตของข้อมูลในแต่ละ address ยกตัวอย่างเช่น SRAM ที่มีความกว้างของข้อมูลใน address ขนาด 4 บิตจำนวนขาสัญญาณข้อมูล ก็จะมี 4 ขาด้วยเช่นกัน ได้แก่ (DataIO3, DataIO2, ..., DataIO0)

เพื่อให้ง่ายต่อการทำความเข้าใจการทำงานของหน่วยความจำภายในการทดลองนี้จะใช้ SRAM แบบที่ใช้ขาสัญญาณ DataIn และ DataOut ซึ่งแยกสัญญาณข้อมูลเข้าและออกคนละชุด

กลุ่มสัญญาณ address (Addr)

ขาสัญญาณในกลุ่มนี้ทำหน้าที่ระบุตำแหน่ง address ของหน่วยความจำที่ต้องการเข้าถึง (อ่าน/เขียน) จำนวนขาสัญญาณในกลุ่มนี้ขึ้นอยู่กับจำนวน address ภายในหน่วยความจำโดยที่

$$2^{\text{จำนวนขาสัญญาณ address}} = \text{จำนวน address ภายในหน่วยความจำ}$$

ยกตัวอย่างเช่น หาก SRAM นั้นมี 8 address (ตั้งแต่ address ที่ 7 ถึง 0) จำนวนขา address จะมีจำนวน 3 ขา ได้แก่ Addr2, Addr1, Addr0 หาก SRAM นั้นมี 1024 address (ตั้งแต่ address ที่ 1023 ถึง 0) จำนวนขา address จะมี 10 ขา ได้แก่ Addr9, Addr8, ..., Addr0 เป็นต้น

กลุ่มสัญญาณควบคุม (Control)

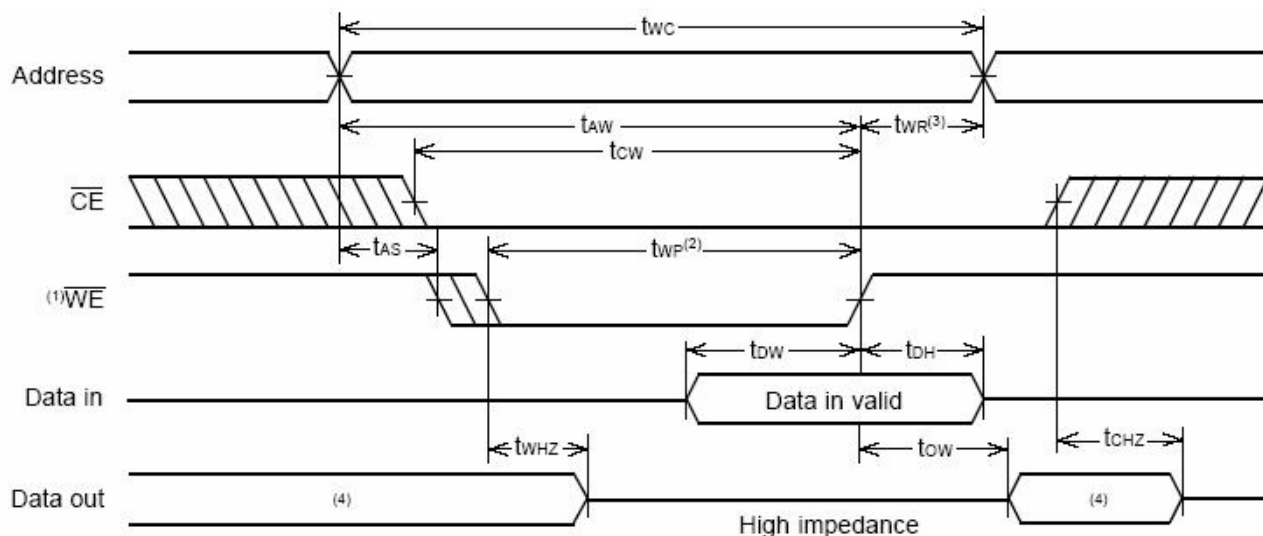
ขาสัญญาณในกลุ่มนี้ทำหน้าที่ควบคุมการทำงานของ SRAM ขาสัญญาณภายในกลุ่มนี้มีอยู่ 3 ขา ได้แก่ ขา CS_BAR, WE_BAR และ OE_BAR ซึ่งแต่ละขามีหน้าที่ดังต่อไปนี้

- ขา CS_BAR (Chip select) ทำหน้าที่ปิด/เปิดการทำงานของ RAM โดย RAM จะทำงานเมื่อขา CS_BAR เป็น 0 เท่านั้นหากเป็น CS_BAR เป็น 1 จะทำให้ RAM จะอยู่ในสภาวะไม่ทำงาน (ไม่สามารถอ่าน/เขียนข้อมูลกับ RAM)
- ขา WE_BAR (Write enable) ใช้สำหรับสั่งให้เขียนข้อมูลที่ขาสัญญาณ DataIn ลงไปใน RAM
- ขา OE_BAR (Output enable) ใช้สำหรับสั่งให้อ่านข้อมูลจาก RAM แล้วส่งออกทางขาสัญญาณ DataOut

การใช้งาน SRAM

การใช้งาน SRAM มีเพียง 2 อย่างเท่านั้น คือ การเขียน (Write, วงจรภายนอกเขียนข้อมูลลงไปใน SRAM) และ การอ่าน (Read, วงจรภายนอกอ่านข้อมูลจาก SRAM) ขั้นตอนการใช้งาน SRAM มีดังต่อไปนี้

การเขียนข้อมูลลงไปใน SRAM (Write)



รูปที่ 9.3 แสดง wave form ของการเขียนข้อมูลลงใน SRAM

ที่สภาวะปกติค่าของ WE_BAR และ OE_BAR จะเป็น 1 ทั้งคู่ ส่วน CS_BAR จะเป็น 0 หรือ 1 ก็ได้ เมื่อวงจรต้องการเขียนข้อมูลลงไปใน RAM จะต้องส่งสัญญาณตามลำดับดังต่อไปนี้

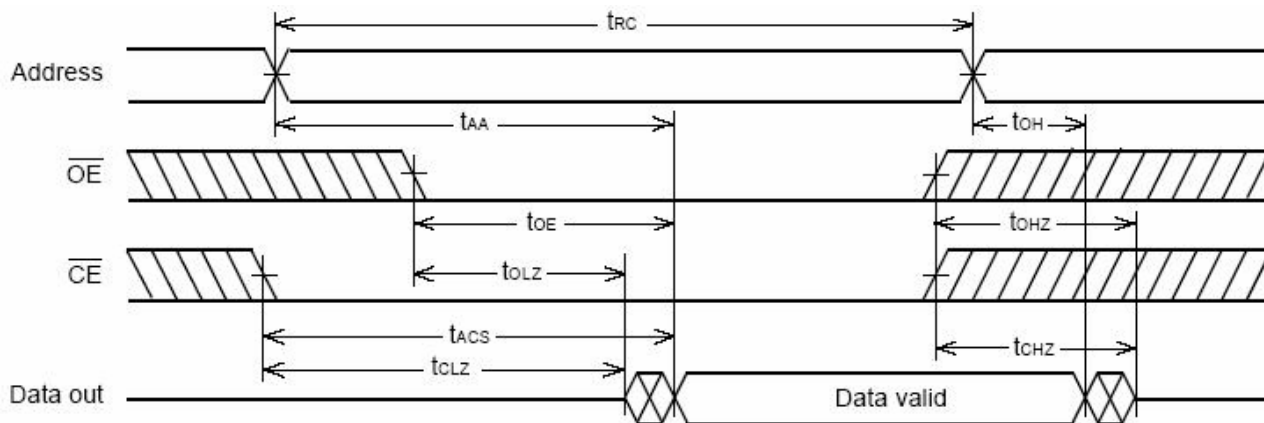
1. ถ้าหากค่า CS_BAR เป็น 1 ให้ตั้งค่าใหม่เป็น 0
2. ส่งตำแหน่งของ address ที่ต้องการเขียนไปที่ขา Addr
3. ตั้งค่า WE_BAR ให้เป็น 0 แล้วค้างไว้เท่ากับช่วงเวลาในการเขียนข้อมูลลง memory cell ของ RAM (ดูได้จาก datasheet)
4. ส่งข้อมูลที่ต้องการเขียนไว้ที่ขา DataIn
5. ตั้งค่า WE_BAR และ CS_BAR ให้กลับเป็น 1 เหมือนเดิม

ขั้นตอนการเขียนข้อมูลสามารถแสดงเป็น wave form ได้ดังรูปที่ 9.3 เมื่อ SRAM ได้รับสัญญาณทำตามขั้นตอนทั้ง 5 นี้ตามลำดับ จะทำให้ข้อมูลที่ขา DataIn ถูกเขียนลงไปใน RAM ณ ตำแหน่งที่ระบุด้วย address สิ่งที่ต้องระวังคือขาสัญญาณ OE_BAR จะต้องมามีค่าเป็น 1 ตลอดเวลา

การอ่านข้อมูลจาก SRAM (Read)

ที่สถานะปกติค่าของ WE_BAR และ OE_BAR จะเป็น 1 ทั้งคู่ ส่วน CS_BAR จะเป็น 0 หรือ 1 ก็ได้ เมื่อวงจรต้องการอ่านข้อมูลจาก RAM จะต้องส่งสัญญาณตามลำดับดังต่อไปนี้

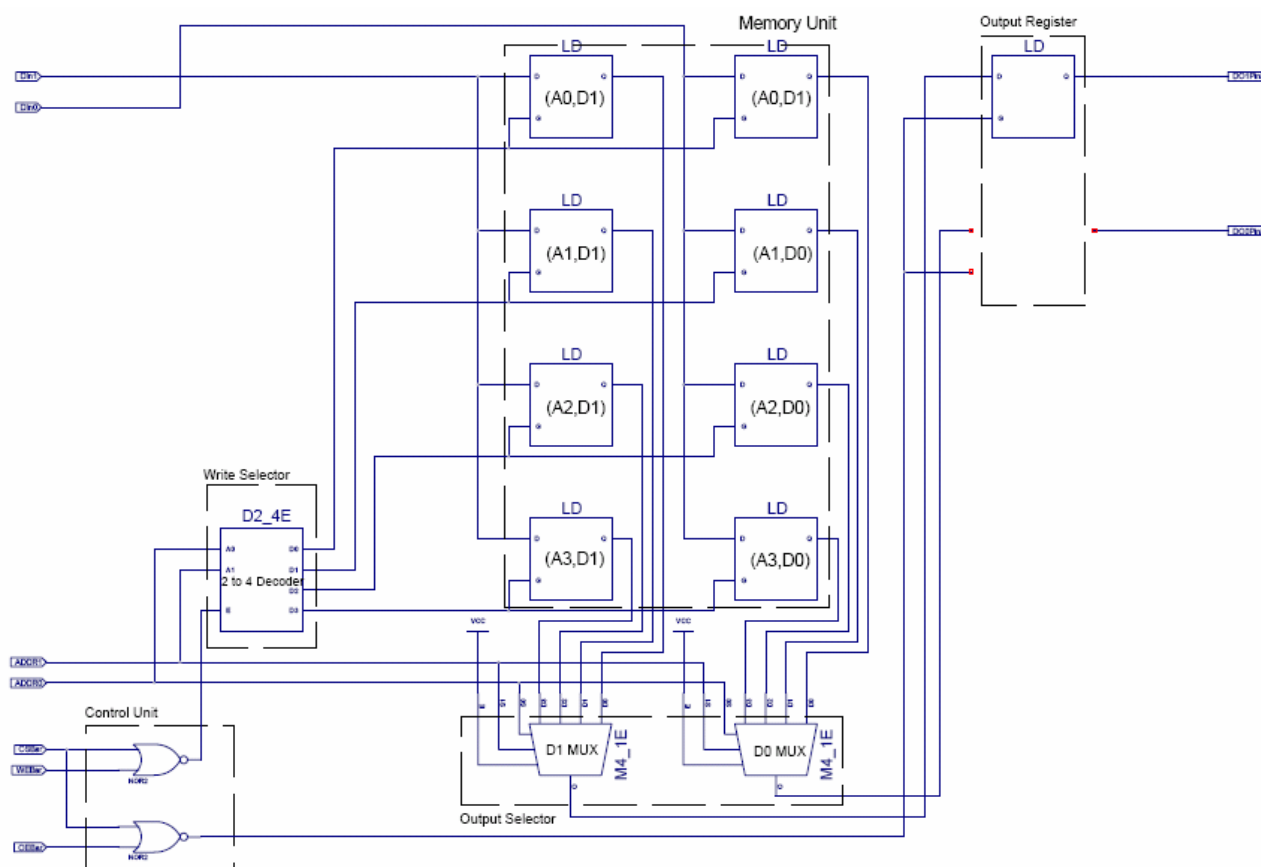
1. ถ้าหากค่า CS_BAR เป็น 1 ให้ตั้งค่าใหม่เป็น 0
2. ส่งตำแหน่งของ address ที่ต้องการอ่านไปที่ขา Addr
3. ตั้งค่า OE_BAR ให้เป็น 0 แล้วค้างไว้เท่ากับช่วงเวลาที่ใช้ในการอ่านข้อมูล (ดูได้จาก datasheet)
4. ตั้งค่า OE_BAR และ CS_BAR ให้กลับเป็น 1 เหมือนเดิม



รูปที่ 9.4 แสดง wave form ของการอ่านข้อมูลจาก SRAM

ขั้นตอนการอ่านข้อมูลจาก SRAM สามารถแสดงเป็น wave form ได้ดังรูปที่ 9.4 เมื่อ SRAM ได้รับสัญญาณตามขั้นตอนทั้ง 4 นี้ตามลำดับจะทำให้ค่าของข้อมูลที่เก็บไว้ใน SRAM ณ ตำแหน่งที่ต้องการอ่าน ถูกส่งออกมาที่ขาสัญญาณข้อมูล DataOut สิ่งที่ต้องระวังคือขาสัญญาณ WE_BAR นั้นจะต้องเป็น 1 อยู่ตลอดเวลา

โครงสร้างภายในของ SRAM



รูปที่ 9.5 โครงสร้างภายในของ SRAM

โครงสร้างภายในของ SRAM มีส่วนประกอบดังที่แสดงในรูปที่ 5 ส่วนประกอบแต่ละตัวมีรายละเอียดดังต่อไปนี้

Memory unit

Memory unit เป็นส่วนประกอบสำหรับเก็บข้อมูลของ SRAM สำหรับการทดลองนี้จะใช้ D-Latch ในการสร้าง Memory unit สำหรับ D-Latch แต่ละตัวจะถูกจัดระเบียบให้อยู่ในลักษณะคล้ายตาราง โดยที่แถว (Row) แต่ละแถวของตารางหมายถึง address แต่ละตำแหน่งของ SRAM และ หลัก (Column) แต่ละหลักของตารางหมายถึงตำแหน่งของข้อมูลแต่ละ word (ตั้งแต่ D0, D1, ... DN) สำหรับหลักการต่อ D-Latch แต่ละตัวเข้าด้วยกันมีหลักดังต่อไปนี้

1. ขาสัญญาณ C ของ D-Latch ทุกตัวในแถวเดียวกัน (address เดียวกัน) จะถูกต่อเข้าด้วยกันแล้วต่อเข้ากับสัญญาณควบคุมการเขียนจาก Write selector
2. ขาสัญญาณ D ที่เข้า D-Latch ทุกตัวที่อยู่ในหลักเดียวกัน (เก็บข้อมูลบิตเดียวกัน) จะต่อเข้าด้วยกัน และต่อเข้ากับขาสัญญาณ DataIn

3. ขาสัญญาณ Q ของ D-Latch แต่ละตัวจะต่อเข้ากับ Multiplexor ที่ทำหน้าที่เป็น Output selector ประจำหลักนั้น ก่อนที่จะต่อเข้า Output register ต่อไป

Write selector

ทำหน้าที่เลือกและควบคุมการเขียนข้อมูลลงในแต่ละ Address

Output selector

ทำหน้าที่เลือกเอาต์พุตจาก D-Latch ใน Memory unit ที่เหมาะสมแล้วป้อนให้กับ Output register

Output register

ทำหน้าที่พักข้อมูลเพื่อส่งออกทางขาสัญญาณ DataOut

Control unit

ทำหน้าที่ควบคุมการทำงานของ SRAM

กลไกการทำงานภายใน SRAM

กลไกการทำงานภายใน SRAM มีขั้นตอนการทำงานดังต่อไปนี้

การเขียนข้อมูล

เมื่อวงจรภายนอกส่งสัญญาณ CS_BAR และ WE_BAR เข้ามา สัญญาณทั้งสองจะถูกต่อเข้ากับ NOR Gate ตัวหนึ่งก่อนที่จะเข้าขาสัญญาณ Enable ของตัว Decoder ในส่วน Write selector หน้าหนึ่งของ NOR Gate ตัวนี้คือ ควบคุมการทำงานของตัว Decoder ดังกล่าว

เนื่องจากการเขียนข้อมูลลงใน SRAM นั้น ขา CS_BAR และ WE_BAR จะต้องมีค่าเป็น 0 ทั้งคู่ ดังนั้นหากสัญญาณทั้งสองมีสัญญาณใดสัญญาณหนึ่งมีค่าเป็น 1 จะส่งผลให้เอาต์พุตที่ออกจาก NOR Gate ตัวนั้นมีค่าเป็น 0 ซึ่งจะทำให้ Decoder ใน Write selector ไม่ทำงานและเอาต์พุตของ Decoder ทุกตัวจะมีค่าเป็น 0 ทั้งหมด ที่สภาวะนี้จะไม่มี D-Latch ใน Memory unit ตัวใดเลยที่เก็บค่าจากขาสัญญาณ DataIn เข้าไป

แต่หากสัญญาณทั้งสองมีค่าเป็น 0 ทั้งคู่ เอาต์พุตของ NOR Gate ตัวนั้นก็จะมีค่าเป็น 1 ส่งผลให้ Decoder ตัวนั้นถอดรหัสสัญญาณ Addr ที่ส่งมาจากวงจรภายนอกและให้ค่าสัญญาณเอาต์พุตเส้นที่มีตำแหน่งตรงกับ address ที่รับเข้ามามีค่าเป็น 1 และ เนื่องจากสัญญาณเอาต์พุตแต่ละเส้นนี้จะต่อพ่วงกับ สัญญาณ C ของ D-Latch ทุกตัวที่อยู่ใน address นั้นทำให้ D-Latch ที่ address นั้น อ่านขาสัญญาณ DataIn เข้าไปเก็บไว้ภายในตัวมันเอง

ถึงแม้ว่าสัญญาณ DataIn แต่ละบิตจะต่อพ่วงเข้าขาสัญญาณ D ของ D-Latch ทุกตัวใน SRAM ที่เก็บข้อมูลในบิตนั้นก็ตาม แต่เนื่องจากขาสัญญาณ C ของ D-Latch ทุกตัวถูกควบคุมด้วยเอาต์พุตจากส่วน Write selector ซึ่งจะมีค่าเป็น 1 เพียงตัวเดียวเท่านั้นคือตำแหน่ง address ที่วงจรภายนอกป้อนเข้ามา ทำให้มี D-Latch เพียง address เดียวเท่านั้นที่จะเก็บข้อมูลเข้าไป

การอ่านข้อมูล

สัญญาณเอาต์พุต Q ของ D-Latch ทุกตัวที่ตำแหน่งบิตเดียวกันจะถูกต่อเข้ากับ Multiplexor ประจำหลักนั้นตัว Multiplexor แต่ละหลักจะรับค่าจากสัญญาณ Addr เพื่อเลือกข้อมูลที่จะจ่ายไปยัง Output register ให้ตรงกับตำแหน่ง address ที่ต้องการ ยกตัวอย่างเช่น หากสัญญาณ Addr มีค่าเป็น 11 ตัว Multiplexor ก็จะเลือกเอาต์พุตของ D-Latch ใน address ที่ 3 เพื่อจ่ายออกไป เป็นต้น

เมื่อวงจรภายนอกส่งสัญญาณ CS_BAR และ OE_BAR เข้ามา สัญญาณทั้งสองจะถูกต่อเข้ากับ NOR Gate ก่อนที่จะเข้าหาสัญญาณ C ของ Output register ในกรณีที่สัญญาณใดสัญญาณหนึ่งมีค่าเป็น 1 จะทำให้เอาต์พุตที่ออกจาก NOR Gate มีค่าเป็น 0 ทำให้ Output Buffer ไม่อ่านรับค่าอินพุตเข้าไป

แต่หากสัญญาณทั้งสองมีค่าเป็น 0 ทั้งคู่ จะทำให้เอาต์พุตที่ออกจาก NOR Gate มีค่าเป็น 1 ซึ่งจะบังคับให้ Output register รับค่าของอินพุตเข้าไปในตัวมันเองและปล่อยให้ค่าที่รับเข้าไปในนั้นแสดงออกทางสัญญาณ DataOut ต่อไป

การทดลองที่ 9.1

ให้นักศึกษาสร้างวงจร SRAM ขนาด 8x4 แล้วกำหนดขาสัญญาณตามที่แสดงในรูปที่ 9.6 จากนั้นตอบคำถามต่อไปนี้

การเขียน SRAM

1. หากต้องการเขียนค่า 0011 ไว้ที่ Address 0 จะต้องส่งสัญญาณอย่างไรบ้าง ?

1.1 ให้สัญญาณ CS_BAR เป็น 0 ส่วน WE_BAR และ OE_BAR เป็น 0

1.2 ตั้งค่า Addr ให้เป็น 000

1.3 ตั้งค่า WE_BAR ให้เป็น 0

1.4 ตั้งค่า DataIn เป็น 0011

1.5 ให้สัญญาณ CS_BAR และ WE_BAR เป็น 1

2. หากต้องการเขียนค่า 1100 ไว้ที่ Address 3 จะต้องส่งสัญญาณอย่างไรบ้าง ?

2.1 _____

2.2 _____

2.3 _____

2.4 _____

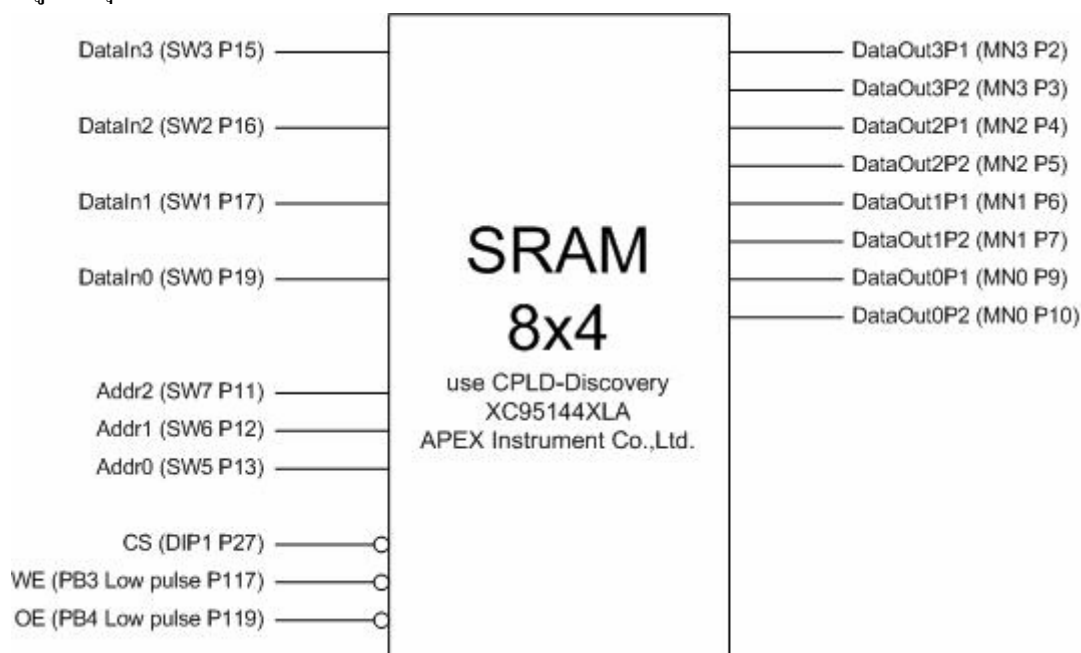
2.5 _____

การอ่าน SRAM

3. หากต้องการอ่านค่าจาก Address 0 จะต้องส่งสัญญาณอย่างไรบ้าง ?
 - 3.1 ให้สัญญาณ CS_BAR เป็น 0 ส่วน WE_BAR และ OE_BAR เป็น 1
 - 3.2 ตั้งค่า Addr ให้เป็น 000
 - 3.3 ตั้งค่า OE_BAR ให้เป็น 0
 - 3.4 เมื่อข้อมูลถูกส่งออกมาแล้วให้ตั้งค่าสัญญาณ CS_BAR และ WE_BAR เป็น 1

4. หากต้องการอ่านค่าจาก Address 1 จะต้องส่งสัญญาณอย่างไรบ้าง ?
 - 4.1 _____
 - 4.2 _____
 - 4.3 _____
 - 4.4 _____

เมื่อตอบคำถามครบแล้วให้นักศึกษาทดลองทำตามขั้นตอนดังกล่าว, นำบอร์ดที่โปรแกรมแล้วให้อาจารย์ผู้ควบคุมการทดลองตรวจพร้อมทั้งแสดงวิธีการให้อาจารย์ทราบ



รูปที่ 9.6 สัญลักษณ์ของ SRAM ขนาด 8x4 สำหรับการทดลอง