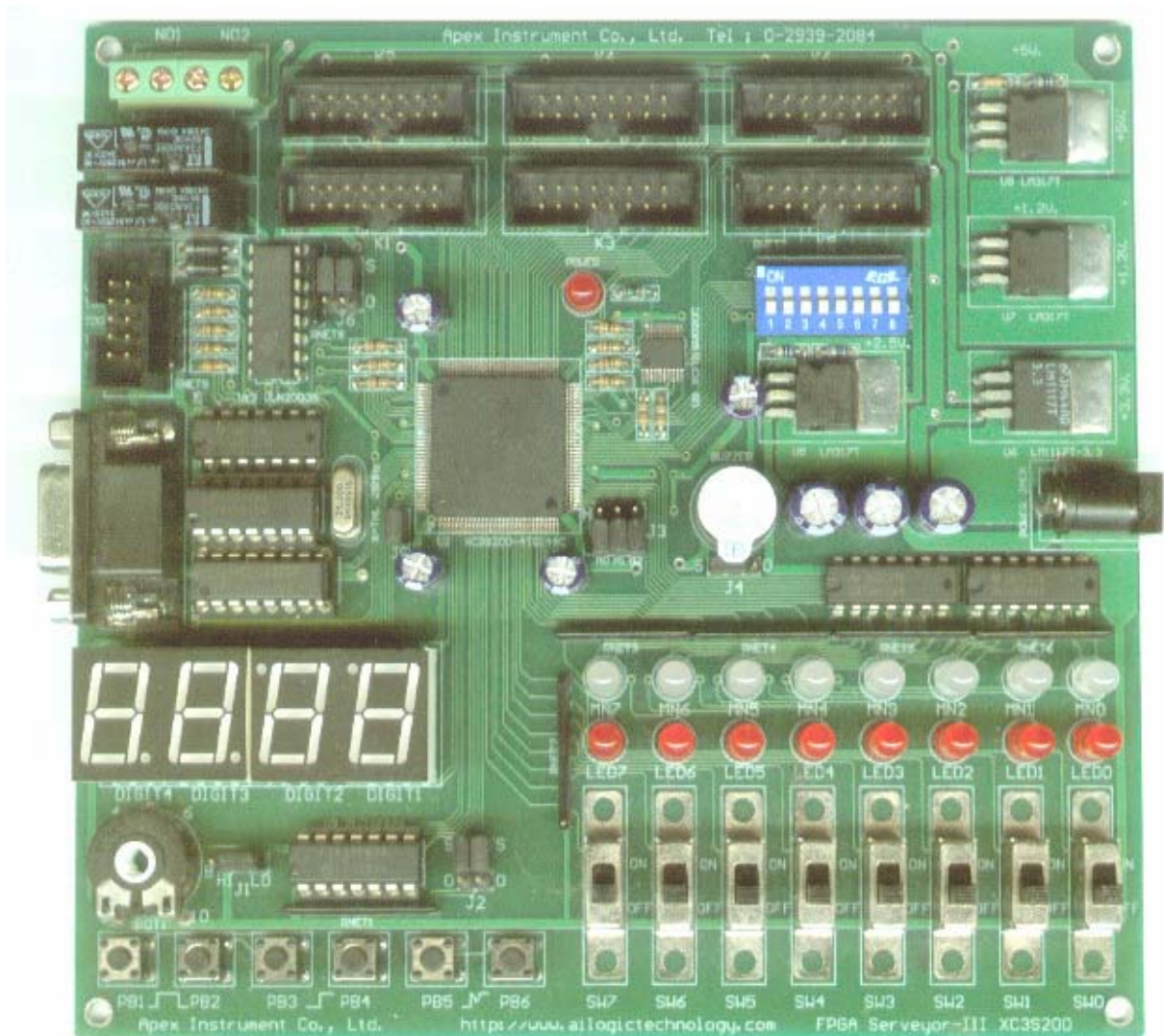


## FPGA Surveyor-III XC3S200

บอร์ดทดลองเนกประสงค์รุ่น FPGA Surveyor-III XC3S200 เป็นบอร์ดทดลอง FPGA และ Logic Trainer มีรายละเอียดแสดงดังรูปที่ 1 โดยที่บอร์ดนี้จะเป็นได้ทั้งบอร์ดทดลองและบอร์ดพัฒนา FPGA ในบอร์ดเดียวกันที่มีความจุ วงจรมากถึง 200,000 เกต และใช้ Platform Flash PROM สำหรับเก็บข้อมูลวงจร ซึ่งสามารถโปรแกรมวงจรลง Platform Flash PROM ผ่านทางสายคาวาน์ โหลดแบบ JTAG ได้โดยตรงและสามารถโปรแกรมซ้ำได้ถึง 20,000 ครั้ง บอร์ดคอเนกประสงค์นี้มีอุปกรณ์อำนวยความสะดวก ที่เพียงพอพร้อมด้วยอุปกรณ์อินพุตเอาต์พุตอย่างครบครัน เพื่อให้ผู้ทดลองได้เรียนรู้การออกแบบวงจรดิจิทัลตั้งแต่วงจรขั้นพื้นฐานจนไปถึงขั้นนำไปพัฒนาออกแบบสร้างวงจรขนาดใหญ่ได้ด้วยตัวเอง



รูปที่ 1 บอร์ดรุ่น FPGA Surveyor-III XC3S200

แก้ไข และเรียบเรียง

โดย อ.จิระศักดิ์ สีทริกร (14 ศ.ก. 49)

01072114 Digital Circuit Laboratory ภาควิชาวิศวกรรมคอมพิวเตอร์  
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

## คุณสมบัติทั่วไปของบอร์ดคอนเนกประสงค์

คุณสมบัติทั่วไปของบอร์ดทดลองคอนเนกประสงค์รุ่น FPGA Surveyor-III XC3S200 ประกอบด้วย

- FPGA Spartan-3 เบอร์ XC3S200-4TQ144C
- Platform Flash PROM เบอร์ XCF01SVO20C
- 7 Segment 4 หลัก
- DIP Switch 8 ดวง
- LED 3 สี 8 ดวง
- LED 2 สี 8 ดวง
- Logic Switch (Slide Switch) 8 ตัว
- Switch แบบ One-Shot 2 ตัว
- Switch แบบ Bounce 2 ตัว
- Switch แบบ Bounceless 2 ตัว
- 6 Expansion ports (48 Bits I/O)
- Relay 220 V/3A 2 ตัว
- Clock generator : 1–100Hz และ 10–1KHz
- Buzzer 1 ตัว
- 25 MHz Oscillator

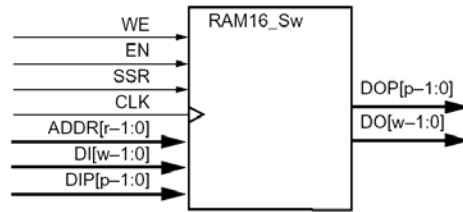
## คุณสมบัติที่สำคัญของ FPGA ตระกูล Spartan-3 เบอร์ XC3S200

ชิพ FPGA ตระกูล Spartan-3 เบอร์นี้มีความโดดเด่น คือ มีหน่วยความจำ RAM รวม 216Kbits และมีตัวคูณที่เป็นฮาร์ดแวร์ 12 ชุด รวมทั้ง DCM อีก 4 ชุด ทำให้การออกแบบวงจรดิจิทัลที่มีไมโครคอนโทรลเลอร์แบบฝังตัวอยู่ด้วยทำได้ง่าย ช่วยให้การออกแบบวงจรทำได้สะดวกและอย่างมีประสิทธิภาพมาก โดยอุปกรณ์ที่อยู่ภายในชิพมีคุณสมบัติดังนี้

- ความจุวงจร 200,000 เกต
- 18Kb block RAMs จำนวน 12 ชุด (รวม 216K bits)
- 18x18 hardware multiplier จำนวน 12 ชุด
- Digital Clock Manager (DCM) จำนวน 4 ชุด
- Digitally Controlled Impedance (DCI)

### 1) หน่วยความจำ 18Kb block RAM

18Kb block RAM เป็นหน่วยความจำความเร็วสูงประมาณ 200 Mhz จำนวน 12 ชุด โดย Block RAM แต่ละชุดสามารถทำเป็น RAM หรือ ROM ได้หลายแบบ ดังตัวอย่างในรูปที่ 2 และตารางในรูปที่ 3



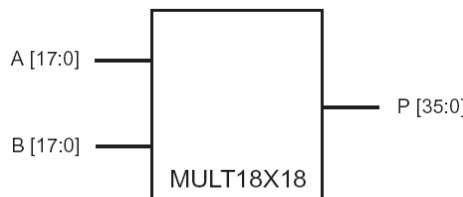
รูปที่ 2 แสดงขนาด RAM แบบ Single Port

Organization	Memory Depth	Data Width	Parity Width
512x36	512	32	4
1Kx18	1024	16	2
2Kx9	2048	8	1
4Kx4	4096	4	-
8Kx2	8192	2	-
16Kx1	16384	1	-

รูปที่ 3 RAM แบบ Single Port ขนาดต่างๆ ที่สร้างจาก Block RAM แต่ละชุด

### 2) 18x18 Hardware multiplier

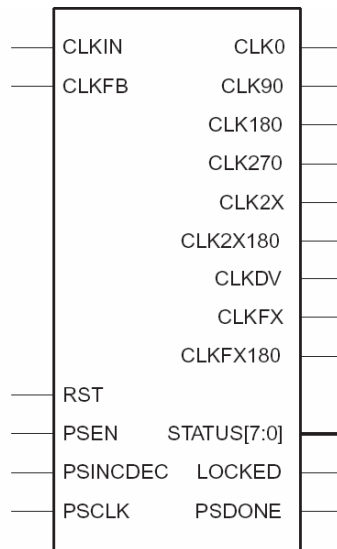
18x18 hardware multiplier เป็นฮาร์ดแวร์ของวงจรรวมสำเร็จรูปขนาด 18x18 บิต มีสัญลักษณ์แสดงดังรูปที่ 4 จำนวน 12 ชุด



รูปที่ 4 18x18 hardware multiplier

### 3) Digital Clock Manager

Digital Clock Manager (DCM) เป็นวงจรที่มีความสำคัญมากที่ช่วยจัดการเกี่ยวกับสัญญาณนาฬิกา ซึ่งมีอยู่ในชิพจำนวน 4 ชุด ละก็ได้ว่า DCM ช่วยทำให้การออกแบบวงจรง่ายขึ้นอย่างมากเนื่องจากสามารถสร้างความถี่ต่างๆ ได้อย่างมากมายจากออสซิลเลเตอร์จากภายนอกเพียงชุดเดียว จึงไม่มีความจำเป็นต้องหาสัญญาณนาฬิกาจากภายนอกหลายๆ แหล่งอีกต่อไป และไม่เพียงเท่านั้นสัญญาณพิคาคดังกล่าวยังซิงค์โครไนซ์กับสัญญาณนาฬิกาจากออสซิลเลเตอร์เดิมอีกด้วย สามารถนำไปใช้เป็นตัวกำเนิดสัญญาณนาฬิกาความถี่ต่างๆ ได้โดยไม่ต้องใช้ Variable Clock จากภายนอกแต่อย่างใด DCM มีสัญลักษณ์แสดงดังรูปที่ 5



รูปที่ 5 สัญลักษณ์ของวงจร DCM

DCM จะทำงานในหน้าที่ดังต่อไปนี้

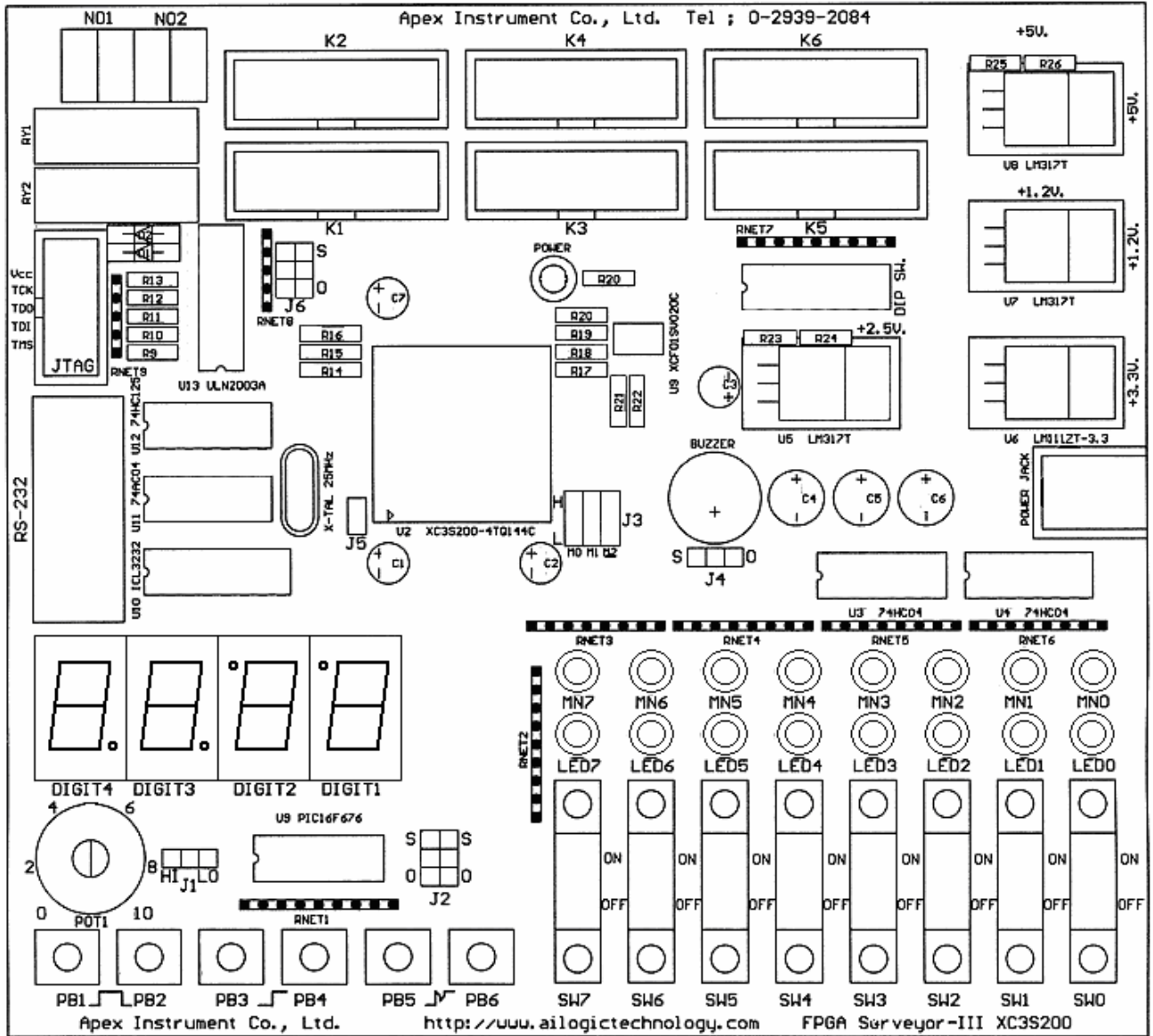
- หารความถี่ (Clock Divider) เป็นวงจรซึ่งจะให้ความถี่เอาต์พุตเท่ากับความถี่อินพุตหารด้วยตัวเลข ดังต่อไปนี้ คือ 1.5, 2, 2.5, 3, 3.5, 4, 4.5, 5, 5.5, 6, 6.5, 7, 7.5, 8, 9, 10, 11, 12, 13, 14, 15, หรือ 16 ตามลำดับ
- สร้างความถี่สองเท่า (Clock Doubler) เป็นวงจรซึ่งจะให้ความถี่ที่เอาต์พุตจะเป็น 2 เท่าของความถี่อินพุต
- Digital Frequency Synthesizer (DFS) เป็นวงจรซึ่งสามารถกำหนดให้ความถี่เอาต์พุตเท่ากับผลคูณของความถี่อินพุตกับอัตราส่วนของ M/D โดยที่ M = 2 ถึง 32 และ D = 1 ถึง 32 วงจรนี้นำไปใช้งาน เช่น สร้างวงจรเปลี่ยนจากการส่งข้อมูลแบบขนานเป็นอนุกรม ซึ่งต้องสร้างสัญญาณนาฬิกาสูงกว่าของเดิม เช่น 10 – 11 เท่า เป็นต้น หรืองานอื่นๆ ที่ต้องใช้วงจรเฟรควเอนซีซินธิไซเซอร์
- Delay-Locked Loop (DLL) เป็นวงจรใช้แก้ปัญหาการเลื่อนเฟสในวงจรให้กลับมาตรงตามเฟสที่ต้องการ
- Quadrant Phase Shift เป็นวงจรเลื่อนเฟส 90 , 180 และ 270 องศา ตามลำดับ
- Fine Phase Shift เป็นวงจรใช้ในการเลื่อนเฟสอย่างละเอียด มีความละเอียดอยู่ที่ 1/ 256 เท่าของคาบความถี่

#### 4) Digitally Controlled Impedance (DCI)

Digitally Controlled Impedance (DCI) ใช้ป้องกันสัญญาณสะท้อนใน PCB โดยการควบคุมเอาต์พุตอิมพีแดนซ์ที่เหมาะสม

# หลักการทํางานของบอร์ดเนกประสงค์

บอร์ดรุ่น FPGA Surveyor-III XC3S200 ดังรูปที่ 6 เป็นดังนี้



รูปที่ 6 บอร์ดรุ่น FPGA Surveyor-III XC3S200

# 1. รายละเอียดอุปกรณ์ Output

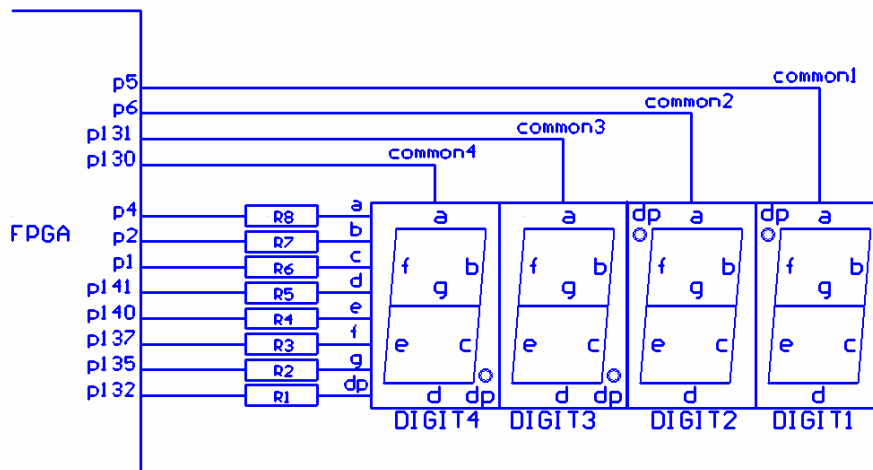
## 1.1) 7-Segment (DIGIT 1 – DIGIT4)

ตัวแสดงผลเซเวนเซกเมนต์ (7-Segment) ทั้ง 4 หลัก คือ DIGIT1 – DIGIT4 จะใช้เทคนิคการสแกน (Scan) ในการแสดงตัวเลขบนตัวแสดงผลทั้ง 4 หลักพร้อมๆ กันเพื่อประหยัดสายสัญญาณ O/P จาก FPGA โดยที่ 8 เส้นใช้สำหรับส่ง Data เพื่อแสดงผล และอีก 4 เส้นใช้สำหรับแคโทดรวม (Common Cathode) ของแต่ละหลักดังรายละเอียดในตารางที่ 1 โดยหลักการการทำงานจะเป็นดังนี้คือจะทำการส่งตัวเลขไปที่หลักแรกแล้วทำการเลือกให้หลักแรกแสดงผล จากนั้นจึงเปลี่ยนไปส่งตัวเลขของหลักที่สองแล้วเลือกหลักที่สองให้แสดงผล และทำหลักถัดไปจนครบทั้ง 4 หลัก แล้วจึงวนกลับมาเริ่มที่หลักแรกใหม่และวนไปเรื่อยๆ จะทำให้ผู้ใช้มองเห็นตัวเลขติดพร้อมกันโดยมีข้อแม้ว่าการสับเปลี่ยนหลักในการแสดงผลต้องทำให้เร็วกว่าที่ตาคนเราจะมองเห็นได้ทัน ซึ่งโดยทั่วไปตาคนเราจะมองเห็นได้ทีละประมาณ 25 – 30 ครั้งต่อวินาที ดังนั้นอย่างน้อยควรต้องสแกนโดยใช้ความเร็วไม่น้อยกว่า 120 ครั้งต่อวินาที (30 ครั้ง X 4 หลัก = 120 ครั้งต่อวินาที) จึงจะมองไม่เห็นการกระพริบของตัวแสดงผล

ในการแสดงผลนั้นหากต้องการให้เซกเมนต์ใดของตัวแสดงผลติดได้นั้นต้องส่งสัญญาณลอจิก “1” โดยที่ด้านแอนโอดทุกขาจะมีตัวต้านทาน R1-R8 ขนาด 100 โอห์มต่ออนุกรมกับ I/O ของ FPGA เพื่อจำกัดกระแสแต่ละเซกเมนต์ ในส่วนที่ขาแคโทดรวมในแต่ละหลักนั้นถ้าต้องการให้หลักใดติดก็ต่อให้ขาคาโทดรวมของหลักนั้นเป็นลอจิก “0” และขอให้สังเกตว่าตัวแสดงผลเซเวนเซกเมนต์ DIGIT2 และ DIGIT1 หรือสองตัวสุดท้ายทางขวามือถูกออกแบบมาให้มีการกลับตัวแสดงผลโดยการหมุน 180 องศา เพื่อให้จุด (.) ของ DIGIT2 และ DIGIT1 ขึ้นไปอยู่ด้านบนเพื่อประโยชน์ในการแสดงเครื่องหมาย “:” (Colon) ในการทำนาฬิกาหรือการแสดงผลเป็นองศาในงานที่เกี่ยวข้องกับอุณหภูมิ เช่น 11:39 หรือ 20o C แต่การแสดงผลตัวเลขต่างๆ ยังคงใช้สายสัญญาณเดียวกับสองตัวแรก

ตารางที่ 1 แสดงขาอุปกรณ์ของ 7-Segment ที่ต่อกับขา Input/Output ของ FPGA

Segment	FPGA Pin
a	P4
b	P2
c	P1
d	P141
e	P140
f	P137
g	P135
dp	P132
common1	P5
common2	P6
common3	P131
common4	P130



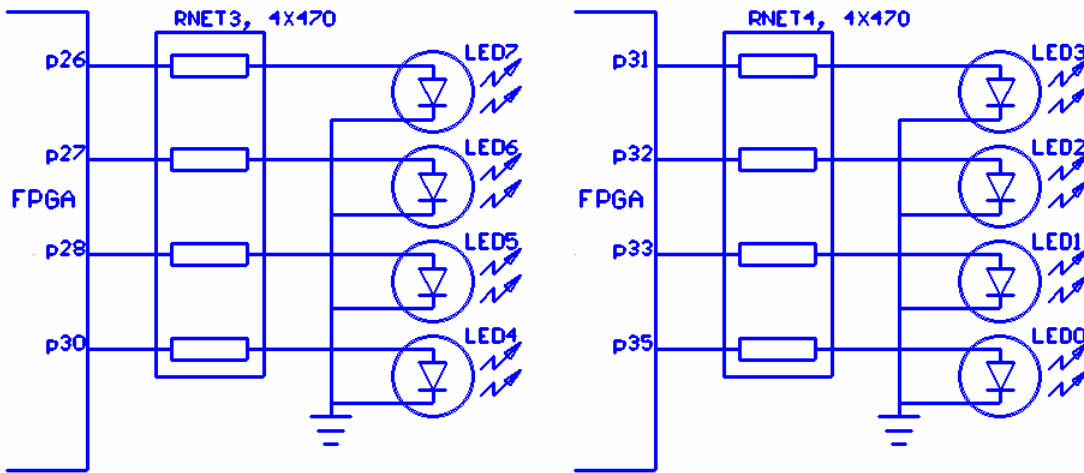
รูปที่ 7 วงจรแสดงผลด้วย 7-Segment

### 1.2) LED Monitor (LED0 – LED7)

บอร์ดทดลองนี้มี LED จำนวน 8 ดวง คือ LED1 – LED8 โดยต่อขาคาโทด (Cathode) ลงกราวด์ และต่อขาแอนโนดเข้ากับขาอินพุตเอาต์พุต (I/O) ของชิพ FPGA โดยมีตัวต้านทานแบบเนตเวิร์ค (ภายในประกอบด้วย R=470 โอห์ม 4 ตัวแยกอิสระ) คือ RNET3 และ RNET4 ต่ออนุกรมอยู่เพื่อจำกัดกระแส โดยในขณะที่ขาสัญญาณในแต่ละบิตเป็น High “1” LED เปล่งแสงสีแดง และในขณะที่ขาสัญญาณในแต่ละบิตเป็น Low “0” LED จะดับ หากสัญญาณที่เข้ามาเป็นพัลส์ LED จะเปล่งแสงสีแดงแต่มีความสว่างลดลงขึ้นอยู่กับค่า Duty Cycle โดยที่ขาสัญญาณของ LED จะต่ออยู่กับขาอินพุตเอาต์พุต (I/O) ของชิพ FPGA ต่างๆ ดังนี้

ตารางที่ 2 แสดงขาอุปกรณ์ของ LED ที่ต่อกับขา Input/Output ของ FPGA

LED	FPGA Pin
LED0	P35
LED1	P33
LED2	P32
LED3	P31
LED4	P30
LED5	P28
LED6	P27
LED7	P26



รูปที่ 8 วงจรแสดงผลด้วย LED Monitor

### 1.3) Logic Monitor (MN0 – MN7)

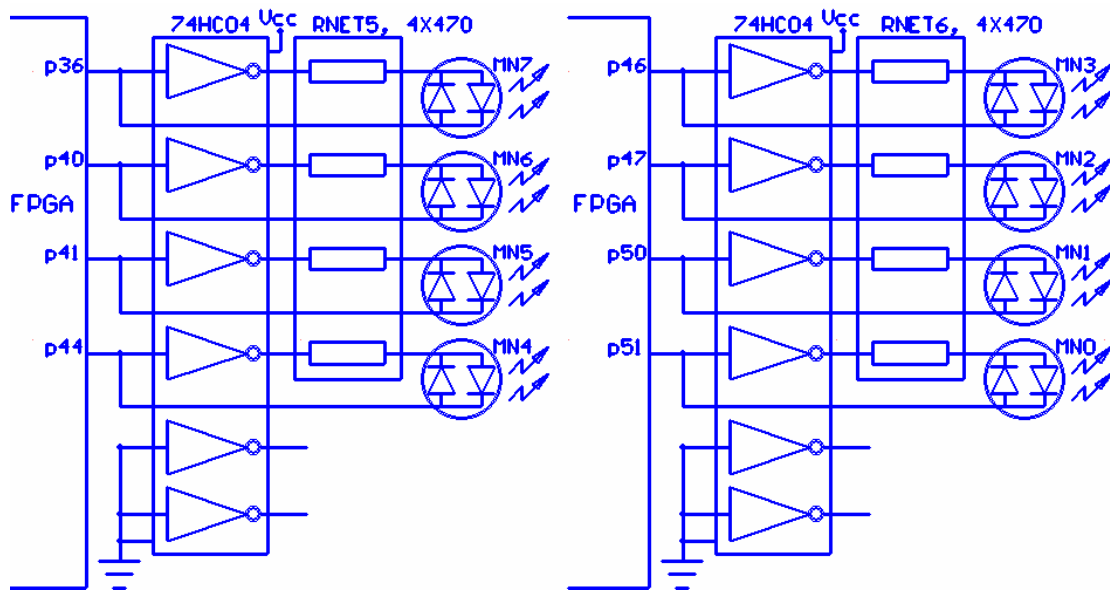
เป็น LED แบบสองสีที่สามารถตรวจสอบสัญญาณได้สามสถานะคือ High, Low และ High impedance โดยจะทำงาน Active Low คือ logic monitor จะแสดงผลเป็นสีแดง (High) เมื่อ มีสัญญาณระดับลอจิก “0” มาที่ขาของ logic monitor แสดงผลเป็นสีเขียว (Low) เมื่อมีสัญญาณระดับลอจิก “1” มาที่ขาของ logic monitor และจะ ไม่แสดงผลเมื่อเป็น High impedance ทั้งนี้ทั้งนั้นหากสัญญาณที่เข้ามาเป็นสัญญาณพัลส์ใดโอดจะเปล่งแสงสีแดงและสีเขียวสลับกันทำให้เห็นเป็นแสงสีส้ม โดยที่ขาสัญญาณของ Logic Monitor จะต่ออยู่กับขาอินพุตเอาต์พุต (I/O) ของชิพ FPGA ต่างๆ ดังนี้

ตารางที่ 3 แสดงสีของของ Logic Monitor ที่สถานะต่างๆ

Logic (Active Low)	Color
“0”	Red
“1”	Green
High impedance “Z”	Off
Pulse	Orange

ตารางที่ 4 แสดงขาอุปกรณ์ของ Logic Monitor ที่ต่อกับขา Input/Output ของFPGA

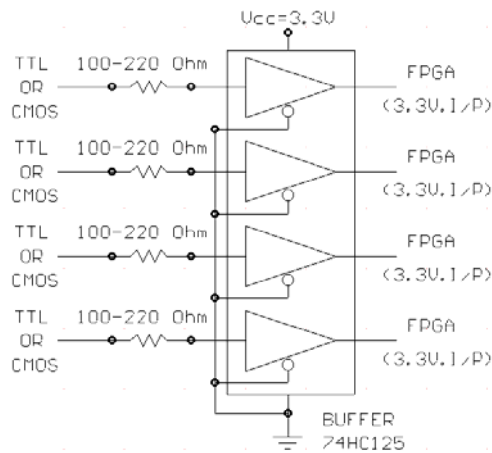
Logic Monitor	FPGA Pin
MN0	P51
MN1	P50
MN2	P47
MN3	P46
MN4	P44
MN5	P41
MN6	P40
MN7	P36



รูปที่ 9 วงจรแสดงผลด้วย Logic Monitor

#### 1.4) คอนเนคเตอร์ K1 – K6

พอร์ตต่อสายสัญญาณ ไปยังภายนอกจะต่ออยู่ที่คอนเนคเตอร์ K1- K6 เพื่อเชื่อมต่อสัญญาณ ไปยังอุปกรณ์ภายนอกหรือรับสัญญาณเข้ามามีรายละเอียดดังตารางที่ 1 โดยที่ที่คอนเนคเตอร์ K1- K4 จะถูกออกแบบเป็นสายสัญญาณและกราวด์ประมาณอย่างละครึ่งเพื่อแก้ปัญหาการรบกวนข้ามช่องสัญญาณ (Cross talk) ดังนั้นเมื่อต่อสายแพร์หรือสายริบบอนเข้ากับคอนเนคเตอร์แล้วจะทำให้สายสัญญาณและกราวด์อยู่ในลักษณะวางเรียงสลับกันไปทุกเส้นทำให้การรบกวนข้ามช่องสัญญาณเกิดได้ยาก และเนื่อง I/O ทั้งหมดจะเป็นระบบ 3.3 โวลต์ ดังนั้นในขณะที่ I/O ทำหน้าที่เป็นเอาต์พุตก็จะสามารถขับอินพุตทั้งลอจิกที่ใช้กับระบบ 3.3 และ 5 โวลต์ได้โดยตรง แต่เมื่อ I/O เป็นอินพุตจะใช้ได้เฉพาะระบบ 3.3 โวลต์เท่านั้น หากต้องการเชื่อมต่อกับเอาต์พุตจากภายนอกที่เป็นระบบ 5 โวลต์จำเป็นต้องมีไอซีระบบ 3.3 โวลต์มาเป็นกันชนหรือทำหน้าที่เป็นบัฟเฟอร์ เช่น ไอซีตระกูล 74HCxx หรือ 74ACxx ซึ่งหลายคนอาจจะผลลึกลับไปแล้วว่าไอซีเหล่านี้ใช้ไฟเลี้ยงได้ตั้งแต่ 2 – 6 โวลต์ เช่น เบอร์ 74HC125 เป็นต้น ในกรณีนี้บัฟเฟอร์กินไฟเลี้ยง 3.3 โวลต์ ดังนั้นอินพุตของบัฟเฟอร์ที่ต่ออยู่กับเอาต์พุตระบบ 5 โวลต์จึงจำเป็นต้องมีตัวต้านประมาณ 220 โอห์มมาต่ออนุกรมที่อินพุตเพื่อจำกัดกระแสไหลเข้าอินพุตไม่ให้เกินกว่า 10 mA เพื่อป้องกันไม่ให้อินพุตเสียหาย แต่ถ้าเป็นเอาต์พุตระบบ 5 โวลต์จากลอจิกตระกูล TTL อาจลดค่าความต้านทานอนุกรมนี้ลงเหลือประมาณ 100 โอห์มได้ เนื่องจากลอจิก “ 1 “ จะให้ระดับแรงดันเอาต์พุตต่ำกว่าตระกูล CMOS การใช้ค่าความต้านทานน้อยลงจะทำให้วงจรทำงานที่ความถี่ได้สูงกว่า ตัวอย่างการเชื่อมต่อเอาต์พุตจากไอซีตระกูล TTL หรือ CMOS กับอินพุตของ FPGA แสดงดังรูปที่ 10



รูปที่ 10 ตัวอย่างการเชื่อมต่อเอาต์พุตจากไอซีตระกูล TTL หรือ CMOS กับอินพุตของ FPGA

การต่อตัวต้านทานพูลอัพ (Pulled up) ภายในชิปพร้อมกันทุกตัวทำได้โดยการต่อ Jumper J5 เพียงตัวเดียวเท่านั้น แต่ถ้าไม่ต้องการพูลอัพก็ให้ถอด J5 ออก การต่อสายสัญญาณ I/O ออกจากคอนเนคเตอร์ K1 – K6 นั้นถ้าต้องการใช้งานที่ความถี่สูงๆหรือไม่ต้องการป้องกันการรบกวนข้ามช่องและป้องกันไม่ให้เกิดคลื่นของสัญญาณสะท้อนภายในเส้นลายทองแดงของ PCB ก็ควรใช้สายแพร์ (Flat Cable) สำหรับบอร์ดทดลองนี้แนะนำให้ใช้สายแพร์ขนาด 40 เส้นที่ความยาวสัญญาณไม่ควรเกิน 10 – 15 เซนติเมตร (เนื่องจากหาซื้อได้ง่ายตามร้านคอมพิวเตอร์ทั่วไป เพราะสายแพร์ดังกล่าวใช้เป็นสายเชื่อมต่อสัญญาณระหว่างฮาร์ดดิสก์กับเมนบอร์ดของคอมพิวเตอร์) และต้องโปรแกรมให้ I/O ของ FPGA เป็นแบบ Slow Slew Rate เพื่อลดสัญญาณรบกวนข้ามช่องและลดการสะท้อนของสัญญาณในสายแพร์ เกณฑ์ที่ใช้ในการพิจารณาว่าจะไม่มีผลกระทบเนื่องจากคุณสมบัติสายส่งหรือ Transmission Line effect ที่เกิดขึ้นใน PCB และรวมถึงสายสัญญาณ (สายแพร์) ด้วยนั้น คือ ความยาวสูงสุดของเส้นลายทองแดงของ PCB รวมกับสายสัญญาณโดยประมาณไม่ควรเกิน  $(2''/nS) \times$  ช่วงเวลาขึ้น (Rise time) ซึ่งในกรณีที่ O/P ของ FPGA เป็น Fast slew rate จะมีช่วงเวลาขึ้นโดยประมาณน้อยกว่า 1 nS ส่วนในกรณีที่ เป็น Slow slew rate จะมีช่วงเวลาขึ้นโดยประมาณ 3 nS ดังนั้น  $(2''/nS) \times 3 nS = 6'' = 15$  เซนติเมตร ในกรณีที่สายแพร์ยาวกว่านี้และมีผลกระทบเนื่องจากเกิดการสะท้อนของสัญญาณจนทำให้วงจรทำงานผิดพลาดนั้นการแก้ไขได้โดยเลือก Terminate ด้วยวิธีที่เหมาะสม สำหรับชิปตระกูล Spartan-3 นี้จะมี Digitally Controlled Impedance (DCI) ในการช่วยแก้ไขปัญหการสะท้อน

ในการต่อสัญญาณออกภายนอกบอร์ดทดลองนั้นถ้าสายแพร์มี  $V_{cc}$  รวมอยู่ด้วยจะมีการต่อตัวเก็บประจุขนาด 0.1  $\mu F$  และ 10nF แบบมัลติเลเยอร์หรือตัวเก็บประจุแบบชิพ (Chip capacitor) โกวัดๆ ขั้ว  $V_{cc}$  และกราวด์ทุกๆจุด การต่อนี้ต้องทำทั้งที่บอร์ดทดลอง (ซึ่งต่อไว้แล้ว) และที่บอร์ดอื่นที่อยู่ภายนอกด้วยเพื่อให้สาย  $V_{cc}$  มีคุณสมบัติทางไฟฟ้าแบบ AC เสมือนว่าเป็นกราวด์

รายละเอียดการต่อขาของคอนเนคเตอร์ K1 – K6 กับขาของ FPGA แสดงดังตารางที่ 5

ตารางที่ 5 แสดงขาอุปกรณ์ของคอนเนคเตอร์ ที่ต่อกับขา Input/Output ของFPGA

K1 Pin	FPGA Pin	Descriptions
1	P125	I/O, RELAY No.1
2		GND
3	P124	I/O, RELAY No.2
4		GND
5	P123	I/O
6		GND
7	P122	I/O
8		GND
9	P119	I/O
10		GND
11	P118	I/O
12		GND
13	P116	I/O
14		GND
15	P113	I/O
16		GND

K2 Pin	FPGA Pin	Descriptions
1	P112	I/O
2		+3.3 V (Vcc)
3	P108	I/O
4		GND
5	P107	I/O
6		GND
7	P105	I/O
8		GND
9	P104	I/O
10		GND
11	P103	I/O
12		GND
13	P102	I/O
14		GND
15	P00	I/O
16		GND

ตารางที่ 5 แสดงขาอุปกรณ์ของคอนเนคเตอร์ ที่ต่อกับขา Input/Output ของFPGA (ต่อ)

K3 Pin	FPGA Pin	Descriptions
1	P89	I/O,
2		GND
3	P87	I/O
4		GND
5	P86	I/O
6		GND
7	P85	I/O
8		GND
9	P84	I/O
10		GND
11	P83	I/O
12		GND
13	P82	I/O
14		GND
15	P80	I/O
16		GND

K4 Pin	FPGA Pin	Descriptions
1	P99	I/O
2		+3.3 V (Vcc)
3	P98	I/O
4		GND
5	P97	I/O
6		GND
7	P96	I/O
8		GND
9	P95	I/O
10		GND
11	P93	I/O
12		GND
13	P92	I/O
14		GND
15	P90	I/O
16		GND

ตารางที่ 5 แสดงขาอุปกรณ์ของคอนเนคเตอร์ ที่ต่อกับขา Input/Output ของFPGA (ต่อ)

K3 Pin	FPGA Pin	Descriptions	K4 Pin	FPGA Pin	Descriptions
1	P68	I/O, DIP SW1	1	P79	I/O
2		GND	2		+3.3 V (Vcc)
3	P63	I/O, DIP SW2	3	P78	I/O
4		GND	4		GND
5	P60	I/O, DIP SW3	5	P77	I/O
6		GND	6		GND
7	P59	I/O, DIP SW4	7	P76	I/O
8		GND	8		GND
9	P56	I/O, DIP SW5	9	P74	I/O
10		GND	10		GND
11	P55	I/O, DIP SW6	11	P73	I/O
12		GND	12		GND
13	P53	I/O, DIP SW7	13	P70	I/O
14		GND	14		GND
15	P52	I/O, DIP SW8, BUZZER	15	P69	I/O
16		GND	16		GND

### 1.5) Buzzer

เป็นออกความถี่เสียง ( Buzzer ) ต่อกับ FPGA ขา P52 โดยมีการทำงานร่วมกับ K5 (Pin16) Jumper J4 และ DIP SW 8 โดยที่ Buzzer จะมีเสียงดังเมื่อเลือก Jumper J4 เป็น S DIP SW 8 อยู่ที่ตำแหน่ง OFF และป้อนสัญญาณที่ขา 52 เป็น High “1”

## 2. รายละเอียดอุปกรณ์ Input

### 2.1) ดิพสวิทช์

มีดิพสวิทช์ (Dip Switch) อีก 8 สวิตช์ โดยปกติหากเลื่อนสวิตช์ลงไปที่ OFF จะทำให้ได้ลอจิก “0” และหากเลื่อนสวิตช์ขึ้นไปไปที่ ON จะทำให้ได้ลอจิก “1” โดยที่ขาสัญญาณของ Dip Switch จะต่ออยู่กับขาอินพุตเอาต์พุต (I/O) ของชิพ FPGA ต่างๆ ดังนี้

ตารางที่ 6 แสดงขาอุปกรณ์ของ Dip Switch ที่ต่อกับขา Input/Output ของFPGA

DIP	FPGA Pin
DIP1	P68
DIP2	P63
DIP3	P60
DIP4	P59
DIP5	P56
DIP6	P55
DIP7	P53
DIP8	P52

### 2.2) สวิตช์กดติดปล่อยดับ

ทางด้านอินพุตบอร์ดทดลองนี้มีสวิตช์กดติดปล่อยดับ (Push button Switch) อยู่ 6 ตัวคือ PB1 – PB6 ต่อกับขาของ FPGA โดยที่ขาสัญญาณของ Dip Switch จะต่ออยู่กับขาอินพุตเอาต์พุต (I/O) ของชิพ FPGA ต่างๆ ดังตารางที่ 7

#### One-shot push button switch ( PB1, PB2 )

เป็นสวิตช์กดติดปล่อยดับที่ให้สัญญาณเข้าที่พุทเป็นสัญญาณพัลส์ 1 ลูก ที่มีค่าความกว้างของพัลส์ช่วง High “1” ลงที่ไม่ว่าจะกดสวิตช์นานเท่าไรก็ตาม ส่วนพัลส์ถูกกดไปจะเกิดเมื่อปล่อยสวิตช์และกดอีกครั้งเท่านั้น โดยมีให้ใช้สองชุดคือ PB1 และ PB2

#### Bounce-less push button switch ( PB3, PB4 )

เป็นสวิตช์กดติดปล่อยดับที่ให้สัญญาณเข้าที่พุทเป็นสัญญาณพัลส์ 1 ลูก ที่มีค่าความกว้างของพัลส์ช่วง High “1” เท่ากับระยะเวลาที่ยังคงกดสวิตช์นั้นๆ อยู่ และ สัญญาณพัลส์จะกลับมาเป็น Low “0” เมื่อมีการปล่อยสวิตช์นั้นๆ ซึ่งสัญญาณพัลส์ที่ได้จะเป็นสัญญาณสี่เหลี่ยม ( Square Wave ) อย่าง มีให้ใช้สองชุดคือ PB3 และ PB4

#### Bounce push button switch ( PB5, PB6 )

เป็นสวิตช์กดติดปล่อยดับที่ให้สัญญาณเข้าที่พุทเป็นสัญญาณพัลส์ 1 ลูก ที่มีค่าความกว้างของพัลส์ช่วง High “1” เท่ากับระยะเวลาที่ยังคงกดสวิตช์นั้นๆ อยู่ และ สัญญาณพัลส์จะกลับมาเป็น Low “0” เมื่อมีการปล่อยสวิตช์นั้นๆ ซึ่งสัญญาณพัลส์ที่ได้จะเป็นสัญญาณสี่เหลี่ยม ( Square Wave ) ที่มีสัญญาณเบาวซ์ ( Bounced ) โดยมีจุดประสงค์เพื่อให้ผู้ใช้ได้ทดลองสร้างวงจรถักสัญญาณเบาวซ์ ( Debounce ) ด้วยตัวเอง ซึ่งมีให้ใช้สองชุดคือ PB5 และ PB6

### 2.3) Variable clock generator

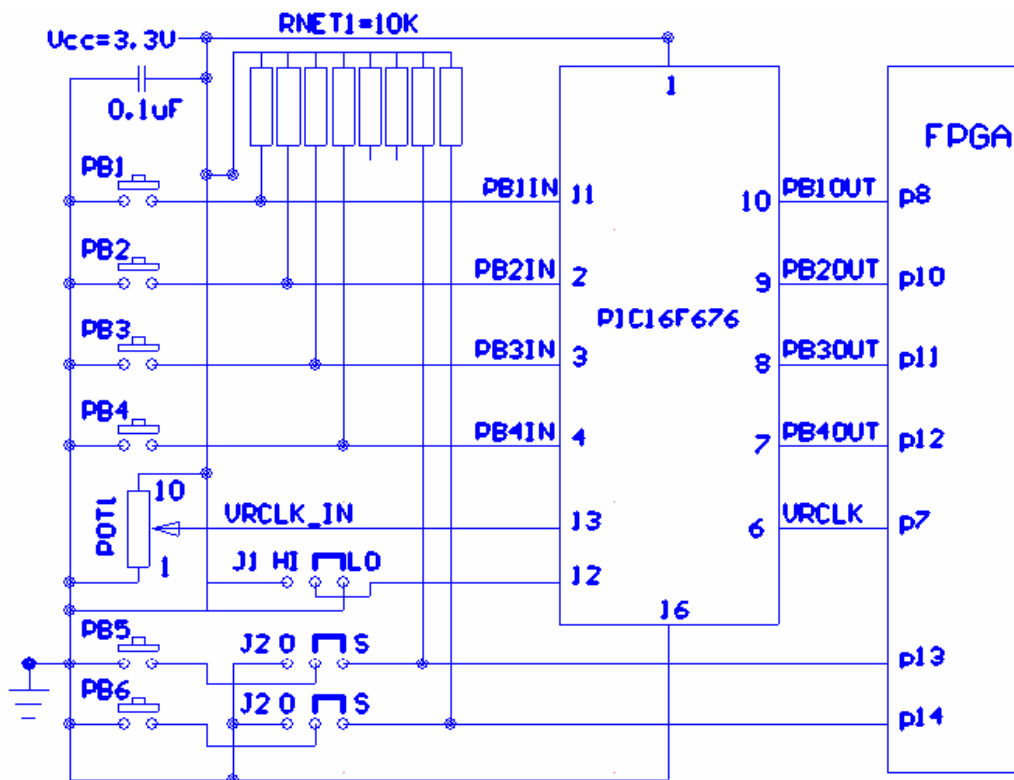
เป็นตัวกำเนิดสัญญาณนาฬิกาที่สามารถปรับค่าความถี่ได้ โดยปรับได้สองแบบคือ

1. ปรับช่วงความถี่ โดยใช้ จัมป์เปอร์ J1 โดยสามารถปรับเปลี่ยนได้ 2 ช่วงคือ High Frequency (เชื่อม 1 และ 2) และ Low Frequency (เชื่อม 2 และ 3)
2. ปรับเปลี่ยนความถี่โดยใช้ตัวต้านทานปรับค่าได้ POT1

สัญญาณนาฬิกาที่ได้จะต่ออยู่กับขา FPGA P7

ตารางที่ 7 แสดงขาอุปกรณ์ของ push button ที่ต่อกับขา Input/Output ของFPGA

push button	FPGA Pin
PB1	P8
PB2	P10
PB3	P11
PB4	P12
PB5	P13
PB6	P14
VR CLOCK	FPGA Pin
VRCLK	P7



รูปที่ 11 วงจรสร้างพัลส์และ Clock

#### 2.4) ออสซิลเลเตอร์

บอร์ดทดลองนี้ยังมีซ็อกเก็ตสำหรับติดตั้งออสซิลเลเตอร์ (Oscillator socket) ให้อีก 1 ตัว ซึ่งปกติจะใช้ไอซีเบอร์ 74AC04 คริสตอล 25 Mhz ตัวต้านทาน 330 โอห์ม และ ตัวเก็บประจุ 15 pF จำนวน 2 ตัว มาสร้างเป็นออสซิลเลเตอร์ โดยจะป้อนเข้าที่ขา GCLK6 หรือ P127 ของ FPGA ถ้าต้องการเปลี่ยนไปใช้เป็นออสซิลเลเตอร์ก็ให้ถอดไอซี 74AC04 เพียงตัวเดียวเท่านั้นก็สามารถใส่ ออสซิลเลเตอร์แบบ 3.3 โวลต์ที่ต้องการได้ทันทีตั้งแต่ความถี่ 1 Mhz ถึง 50 MHz แต่ต้องไม่ลืมว่าใน FPGA ตระกูล Spartan-3 มี Digital Clock Manager (DCM) เป็นวงจรที่มีความสำคัญมากที่ช่วยจัดการเกี่ยวกับสัญญาณนาฬิกาอยู่ในชิพจำนวน 4 ชุด ดังนั้นในหลายกรณีก็สามารถใช้ DCM ช่วยสร้างความถี่ที่ต้องการได้อยู่แล้ว จนเกือบจะเรียกได้ว่าไม่มีความจำเป็นต้องใช้ออสซิลเลเตอร์จากภายนอกเพิ่มเติมแต่อย่างใด และอย่าไปสับสนว่าขา I/O ธรรมดาของ FPGA จะใช้เป็น I/O ของสัญญาณนาฬิกาไม่ได้ ทุก I/O ใช้ได้เช่นกันแต่เวลาหน่วง (Delay Time) อาจมากกว่า

#### 2.5) Relay connector ( RY1, RY2 )

เป็นหัวต่อที่ต่ออยู่กับหน้าคอนแทคของรีเลย์ 1 และ 2 (RY1, RY2) ขนาด 3A 250V จำนวน 2 ชุด ตามลำดับ โดยเป็นคอนแทคในแบบปกติเปิด (NO) วงจรขับของรีเลย์ 1 และ 2 จะต่ออยู่กับขา P125 และ P124 ของ FPGA ตามลำดับ ซึ่งใช้ I/O ร่วมกับขา 1 และขา 3 ของ K1 หากต้องการใช้งาน Relay ให้เลื่อน Jumper J6 (ด้านขวา RY1, ด้านซ้าย RY2) ไปที่ตำแหน่ง S (หากไม่ต้องการใช้งานรีเลย์ให้ J6 อยู่ที่ตำแหน่ง O ทั้งคู่)

#### 2.6) JTAG connector

เป็นหัวต่อที่ใช้ต่อกับสายโหนด JTAG Cable ที่ใช้โปรแกรมข้อมูลลงตัว FPGA และ Flash PROM

#### 2.7) Slide switch (SW0 – SW7)



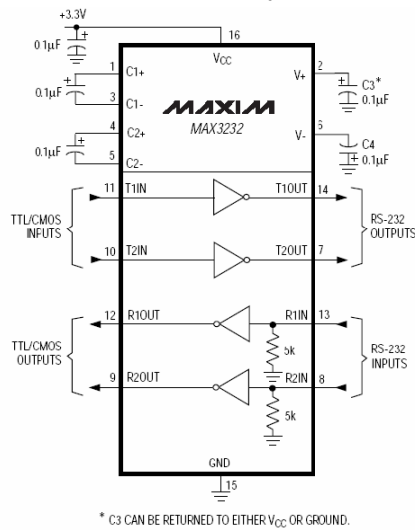
เป็นสวิตช์เลื่อนที่ใช้ป้อนข้อมูลเข้าสู่ FPGA โดยถ้าเลื่อนลงจะเป็น “1” ถ้าเลื่อนขึ้นจะเป็น “0” (ทำงานแบบ Active Low เนื่องจากมี R พลุ้พต่อทุกขาของ Slide Switch เข้ากับ Vcc) โดยเชื่อมต่อกับขาของ FPGA ดังนี้

ตารางที่ 8 แสดงขาอุปกรณ์ของ Slide switch ที่ต่อกับขา Input/Output ของ FPGA

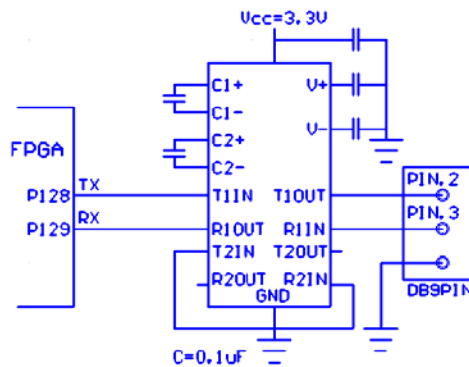
push button	FPGA Pin
SW7	P15
SW6	P17
SW5	P18
SW4	P20
SW3	P21
SW2	P23
SW1	P24
SW0	P25

### 3. พอร์ต RS-232C

พอร์ต RS-232C จะใช้ไอซีเบอร์ ICL3232 หรือ MAX3232 ดังรูปที่ 11 โดยการต่อเข้ากับ p128 และ p129 แสดงดังรูปที่ 13



รูปที่ 11 วงจรสร้างพัลส์และ Clock



รูปที่ 11 วงจรสร้างพัลส์และ Clock

### 4. Misc

4.1 DC Adaptor input jack เป็นหัวต่อไฟเลี้ยงเพื่อป้อนให้แก่บอร์ดในการทำงาน ต่ออยู่กับแคปเตอร์ที่มีไฟออกมาเป็น 9V – 30V โดยมีขั้วด้านในเป็น บวก “+” ด้านนอกเป็น ลบ “-”

4.2 Power switch เป็นสวิตซ์ที่ใช้ปิดเปิดไฟเลี้ยงให้กับบอร์ด

4.3 Power LED เป็นไดโอดเปล่งแสงว่าในขณะที่นั้นๆ มีไฟเลี้ยงบอร์ดอยู่หรือไม่

4.4 Jumper J2 เป็น Jumper ที่ต่อกับ PB5 แล PB6 เช้ากับขา FPGA (เมื่ออยู่ในตำแหน่ง S)ไว้สำหรับทดลองการปล่อยขา อินพุตลอยไว้ ซึ่งให้ลอจิกไม่แน่นอนเช่นเดียวกับไอซี CMOS ทั่วไป ซึ่งจะไม่เหมือนกับ TTL ที่ปล่อยขาลอยจะเป็นลอจิก “1” ดังนั้น จะต้องพูลอัพหรือพูลดาวน์ขาอินพุตนั้นไว้ (ด้วย R=4.7 – 10 k) เพื่อบังคับให้ลอจิกเป็น “0” หรือ “1” ยกเว้นกรณีไม่กำหนดขาเพื่อใช้งานจะปล่อยขาลอยได้ซึ่งจะแตกต่างจากพวกไอซี CMOS ที่ต้องต่อขาอินพุตเข้า Vcc หรือ Ground หรือต้องพูลอัพหรือพูลดาวน์